

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
007838254 **Image available**
WPI Acc No: 1989-103366/198914
XRPX Acc No: N90-168724

Thin film transistor substrate for liquid crystal display - using thin
oxide film as non-magnetic material between non-magnetic cores together
with silicon cpd. soln.

Patent Assignee: NEC CORP (NIDE)
Number of Countries: 002 Number of Patents: 002
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1050028	A	19890227	JP 87208718	A	19870821	198914 B
US 4938565	A	19900703	US 88234357	A	19880819	199029

Priority Applications (No Type Date): JP 87208718 A 19870821

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 1050028	A		14		

Abstract (Basic): US 4938565 A

The array has a large number of transistor structures in each of
which serially connected first and second thin-film transistors and
other serially connected third and fourth thin-film transistors are
connected in parallel, gates of the first to fourth thin-film
transistors being connected to receive the same signal.

The connecting point between the first and second thin-film
transistors may be connected to the connecting point between the third
and fourth thin-film transistors. The serial-parallel connection may be
interposed between a video signal line and a pixel electrode on a
thin-film transistor array board in a LCD.

ADVANTAGE - Decreased number of defective transistor structures and
pixels. (First major country equivalent to J01050028) (7pp
Dwg.No.2a/3c)

Title Terms: THIN; FILM; TRANSISTOR; SUBSTRATE; LIQUID; CRYSTAL; DISPLAY;
THIN; OXIDE; FILM; NON; MAGNETIC; MATERIAL; NON; MAGNETIC; CORE;
SILICON; COMPOUND; SOLUTION

Derwent Class: P81; P85; U12; U14

International Patent Class (Additional): G02F-001/13; G09F-009/35;

H01L-021/82; H01L-027/12; H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02752428 **Image available**

THIN FILM TRANSISTOR SUBSTRATE

PUB. NO.: 01-050028 [JP 1050028 A]

PUBLISHED: February 27, 1989 (19890227)

INVENTOR(s): ICHIKAWA YOSHIHARU

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-208718 [JP 87208718]

FILED: August 21, 1987 (19870821)

INTL CLASS: [4] G02F-001/133; G09F-009/35; H01L-021/82; H01L-027/12;
H01L-029/78

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 882, Vol. 13, No. 250, Pg. 143, June
12, 1989 (19890612)

ABSTRACT

PURPOSE: To prevent a picture element defect from being generated by using four thin film transistors (TR) for each picture element and deciding no picture element defect unless ≥ 2 thin film TRs become defective at the same time.

CONSTITUTION: The gate electrodes 1-1-4-1 of 1st-4th thin film TRs are connected to the same scanning electrode line 5 and the drain electrodes 1-2 and 2-2 of the 1st and 2nd thin film TRs are connected to the same signal electrode line 6. Then the source electrode 1-3 of the 1st thin film TR is connected to the drain electrode 3-2 of the 3rd thin film TR and the source electrode 2-3 of the 2nd thin film TR is connected to the drain electrode 4-2 of the 4th thin film TR. Then the source electrode 3-3 of the 3rd thin film TR and the source electrode 4-3 of the 4th thin film TR are connected to the same display electrode 7 to constitute one picture element. No picture element defect is decided unless ≥ 2 of the four thin film TRs become defective at the same time. Consequently, a picture element defect becomes hard to occur.

⑫ 公開特許公報(A)

昭64-50028

⑮ Int. Cl.⁴

G 02 F 1/133
G 09 F 9/35
H 01 L 21/82
27/12
29/78

識別記号

3 2 7

庁内整理番号

7370-2H
7335-5C
7925-5F
A-7514-5F
A-7925-5F

⑯ 公開 昭和64年(1989)2月27日

審査請求 未請求 発明の数 1 (全4頁)

⑰ 発明の名称 薄膜トランジスタ基板

⑱ 特 願 昭62-208718

⑲ 出 願 昭62(1987)8月21日

⑳ 発 明 者 市 川 祥 治 東京都港区芝5丁目33番1号 日本電気株式会社内
㉑ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉒ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜トランジスタ基板

2. 特許請求の範囲

(1) 各々のゲート電極が同一の走査電極線に接続された第1～第4の薄膜トランジスタを有し、第1と第3の薄膜トランジスタと、第2と第4の薄膜トランジスタとをそれぞれ対として第1および第2の薄膜トランジスタの両ソース電極と第3および第4の薄膜トランジスタの両ドレイン電極間を短絡又は開放状態において両対のトランジスタのゲート電極とドレイン電極間を接続し、第1、第2の薄膜トランジスタのドレイン電極を同一の信号電極に接続し、第3と第4の薄膜トランジスタのソース電極を同一の表示電極に接続して1画面を構成させるようにしたことを特徴とする薄膜トランジスタ基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶ディスプレイに使用する薄膜ト

ランジスタ基板、特に欠陥のない薄膜トランジスタ基板に関する。

〔従来の技術〕

近年、オフィスオートメーションの進展に伴い、マンマシンインターフェイスとしての平板表示デバイスの開発が活発に進められている。液晶ディスプレイにおいてもCRTと同等の表示情報量を得るため、薄膜トランジスタ基板の開発が盛んに行われている。

薄膜トランジスタ基板では少なくとも表示画素数と同じ数だけ薄膜トランジスタを形成する必要があるため、無欠陥のものを形成するのが困難である。例えば第3図(a)、(b)に示すように1画面に1つの薄膜トランジスタを用い、250×250画素の液晶ディスプレイを作成した場合、平均して5点程度の画素欠陥が表われる。画素欠陥には常時オンのもものと常時オフのもものとがあり、それぞれ薄膜トランジスタのショート状態、オープン状態に対応するものと考えられる。このため第4図(a)に示すように薄膜トランジスタ1、2を2個直列に用

いても、第4図(b)に示すように薄膜トランジスタ1, 2を2個並列に用いても、画素欠陥のおこる確率は薄膜トランジスタ1個を用いたものとほとんど変わらず、やはり5点程度の画素欠陥が発生する。

なお、図において $n-m$ ($n=1, 2, \dots, m=1, 2, 3$) における n はトランジスタ、 $m=1, 2, 3$ は順に各トランジスタのゲート、ドレイン、ソースを表している。

また、5は走査電極線、6は信号電極線、7は表示電極である。

〔発明が解決しようとする問題点〕

この液晶ディスプレイをテレビジョンとして使用する場合は画素欠陥の発生場所にもよるが、それほど目立たないため良品と見なせる。しかしながら、この液晶ディスプレイをコンピュータ端末のキャラクタディスプレイとして使用する場合には、画素欠陥が1つでもあると不良と見なされるため極端に歩留りが悪くなってしまうという欠点があった。

ランジスタ1~4のゲート電極1-1, 2-1, 3-1, 4-1を同一の走査電極線5に接続し、第1, 第2の薄膜トランジスタ1, 2のドレイン電極1-2, 2-2を同一の信号電極線6に接続し、第1の薄膜トランジスタ1のソース電極1-3を第3の薄膜トランジスタ3のドレイン電極3-2に、第2の薄膜トランジスタ2のソース電極2-3を第4の薄膜トランジスタ4のドレイン電極4-2に接続し、第3の薄膜トランジスタ3のソース電極3-3および第4の薄膜トランジスタ4のソース電極4-3を同一の表示電極7に接続し1画素を構成するかあるいは第2図(a), (b)に示すように第1, 第2, 第3, 第4の薄膜トランジスタ1~4のゲート電極1-1, 2-1, 3-1, 4-1を同一の走査電極線5に接続し、第1, 第2の薄膜トランジスタ1, 2のドレイン電極1-2, 2-2を同一の信号電極線6に接続し、第1の薄膜トランジスタ1のソース電極1-3と第2の薄膜トランジスタ2のソース電極2-3を接続して第3の薄膜トランジスタのドレイン電極3-2と第4の薄膜トランジスタのドレイン電極4-2に共通に接続し、第3の

本発明の目的はこのような従来の欠点を除去し、画素欠陥が起こりにくい薄膜トランジスタ基板を提供することにある。

〔問題点を解決するための手段〕

本発明は各々のゲート電極が同一の走査電極線に接続された第1~第4の薄膜トランジスタを有し、第1と第3の薄膜トランジスタと、第2と第4の薄膜トランジスタとをそれぞれ対として第1および第2の薄膜トランジスタの両ソース電極と第3および第4の薄膜トランジスタの両ドレイン電極間を短絡又は開放状態において両対のトランジスタのゲート電極とドレイン電極間を接続し、第1, 第2の薄膜トランジスタのドレイン電極を同一の信号電極に接続し、第3と第4の薄膜トランジスタのソース電極を同一の表示電極に接続して1画素を構成させるようにしたことを特徴とする薄膜トランジスタ基板である。

〔作用〕

本発明の薄膜トランジスタ基板では、第1図(a), (b)に示すように第1, 第2, 第3, 第4の薄膜ト

ランジスタのソース電極3-3および第4の薄膜トランジスタのソース電極4-3を同一の表示電極7に接続して1画素を構成している。このため4個の薄膜トランジスタ中、2個以上が同時に欠陥とならない限り画素欠陥とはならない。したがって、1画素に1個の薄膜トランジスタの場合250×250素子で5個程度の確率で欠陥が発生すると仮定すると本発明では 4×10^{-6} 個程度の画素欠陥が起こり、1枚の基板中では画素欠陥はほとんどおこらない。

〔実施例〕

次に本発明を実施例をもって詳細に説明する。

素子数400×640、表示面積180mm×240mmのOA用液晶ディスプレイに用いる薄膜トランジスタ基板に本発明の薄膜トランジスタ基板を用いた場合と従来の薄膜トランジスタ基板を用いた場合とを比較して説明する。薄膜トランジスタの構造はどちらも逆スタガード電極構造のものを用いた。ゲート電極はクロム膜を1000Åアルゴンスパッタ法により形成し、ホトレジスト法によりパターン

グした後、プラズマCVD法により窒化シリコン膜、アモルファスシリコン膜、リンドーパアモルファスシリコン膜を3000Å、3000Å、300Å同一真空中で形成し、その上にドレイン・ソース電極としてクロム膜を1500Åアルゴンスパッタ法により形成し、パターニングした。次に表示電極となる透明電極として、ITO(酸化インジウムスズ)を1000Å形成し、パターニングするとともに薄膜トランジスタのチャンネルとなる上層部分のクロム膜およびリンドーピングしたアモルファスシリコン膜を順次エッチング除去し、第1図(b)に示した本発明の薄膜トランジスタ基板と、第3図(b)に示した従来の薄膜トランジスタ基板を形成した。このようにして形成した薄膜トランジスタ基板を所定の方法を用いて組み立て、液晶ディスプレイを形成した。

従来の薄膜トランジスタ基板を用いたものは画素欠陥が19個存在したのに対して、本発明の薄膜トランジスタ基板を用いたものでは画素欠陥は全く存在しなかった。これは本発明の薄膜トランジ

スタ基板では1画素に4個の薄膜トランジスタを用いるため、薄膜トランジスタが同時に2個以上欠陥とならない限り画素欠陥とはならないため画素欠陥となる確率が極端に小さくなったためである。

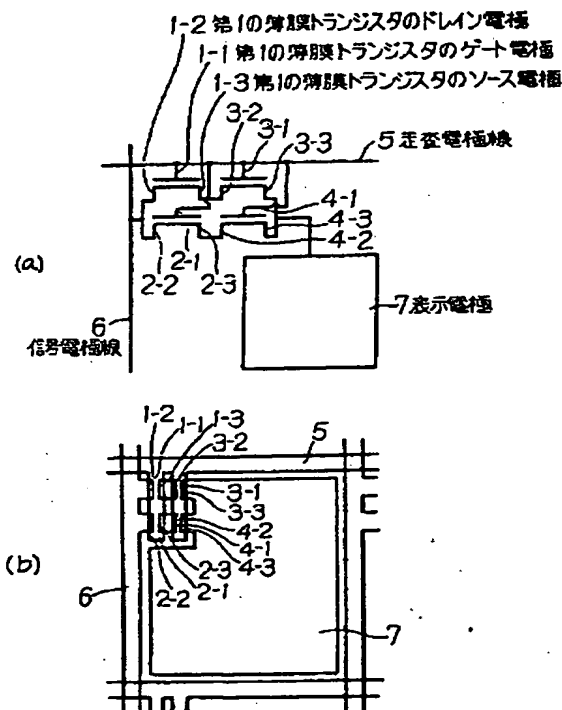
〔発明の効果〕

以上説明したように、本発明の薄膜トランジスタ基板によれば画素欠陥のない液晶ディスプレイを提供できる効果を有する。

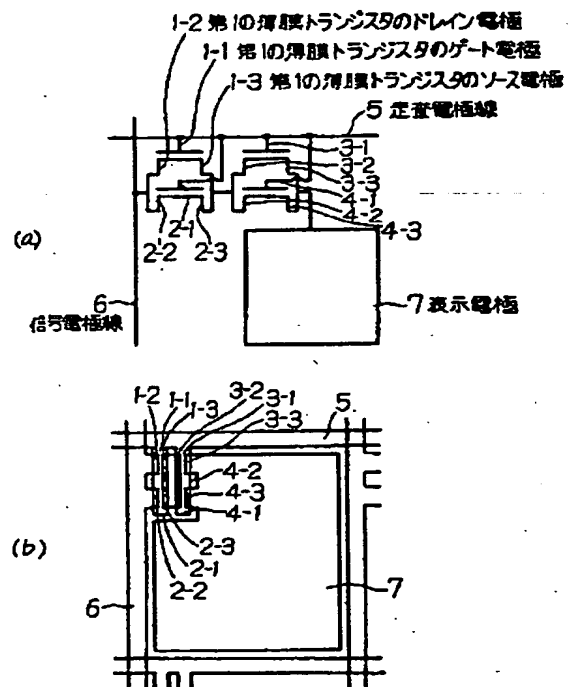
4. 図面の簡単な説明

第1図(a)、第2図(a)は本発明の薄膜トランジスタの配線図、第1図(b)、第2図(b)は薄膜トランジスタ基板の模式図、第3図(a)、第4図(a)、(b)は従来の薄膜トランジスタの配線図、第3図(b)は第3図(a)の薄膜トランジスタの模式図である。

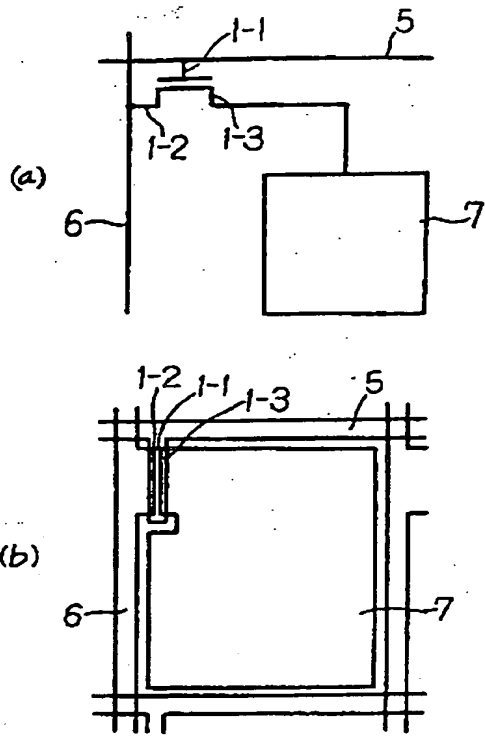
1-1, 2-1, 3-1, 4-1...トランジスタ1~4のゲート電極
1-2, 2-2, 3-2, 4-2...トランジスタ1~4のドレイン電極
1-3, 2-3, 3-3, 4-3...トランジスタ1~4のソース電極
5...走査電極線
6...信号電極線
7...表示電極



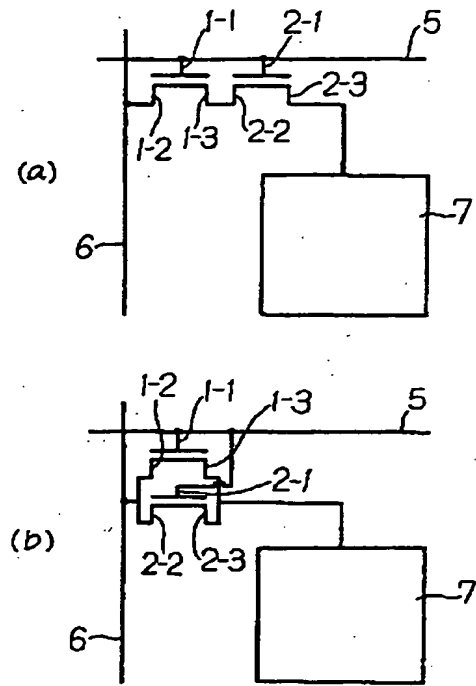
第1図



第2図



第3図



第4図